

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-029341

(43)Date of publication of application : 05.02.1993

(51)Int.Cl.

H01L 21/336

H01L 29/784

H01L 21/265

H01L 27/092

(21)Application number : 03-206204

(71)Applicant : NIPPON SEMICONDUCTOR KK

(22)Date of filing : 24.07.1991

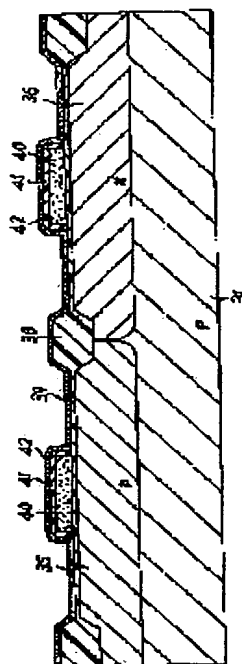
(72)Inventor : SASAKI YOSHITAKA

## (54) MANUFACTURE OF MIS SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To accurately and easily form a high-concentration region and a low-concentration region for a source and a drain.

CONSTITUTION: A gate oxide film 39 is formed on the surface of a silicon substrate 31; a polycrystalline silicon film 40 for gate electrode use is formed on it. Then, the polycrystalline silicon film 40 is oxidized; a thin silicon oxide film 41 is formed on its surface; in addition, a polycrystalline silicon film 42 whose etch rate is higher than that of the silicon oxide film is formed on it so as to be a thickness of 500 to 1500 $\text{\AA}$ ; and after that, ions at a high concentration are implanted in order to form a high-concentration source region and a high-concentration drain region. In addition, the polycrystalline silicon film is etched and removed; after that, ions at a low-concentration are implanted in order to form a low-concentration source region and a low-concentration drain region.



## LEGAL STATUS

[Date of request for examination] 09.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3066124

[Date of registration] 12.05.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-29341

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/336

29/784

21/265

8225-4M

8617-4M

H 0 1 L 29/ 78

21/ 265

3 0 1 L

L

審査請求 未請求 請求項の数 2(全 11 頁) 最終頁に続く

(21)出願番号

特願平3-206204

(22)出願日

平成3年(1991)7月24日

(71)出願人 591012794

日本セミコンダクター株式会社

茨城県つくば市北原10番地

(72)発明者 佐々木 芳高

茨城県つくば市北原10番地 日本セミコン

ダクター株式会社内

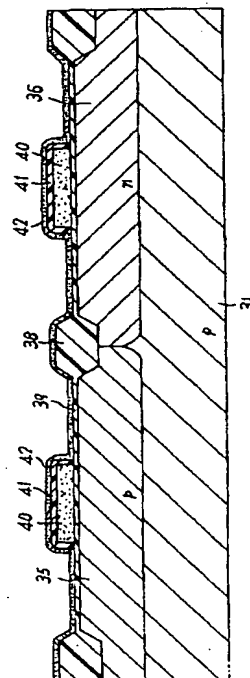
(74)代理人 弁理士 杉村 暁秀 (外5名)

(54)【発明の名称】 M I S 型半導体装置の製造方法

(57)【要約】

【目的】 LDD 構造を有するMIS 型半導体装置を製造するに際し、ソースおよびドレインの高濃度領域および低濃度領域を正確かつ容易に形成しようとするものである。

【構成】 シリコン基板31の表面にゲート酸化膜39を形成し、その上にゲート電極用の多結晶シリコン膜40を形成する。次に、多結晶シリコン膜40を酸化してその表面に薄いシリコン酸化膜41を形成し、さらにその上に、シリコン酸化膜よりもエッチング速度が高い多結晶シリコン膜42を500 ~1500 Åの厚さに形成した後、高濃度ソースおよびドレイン領域を形成するために高濃度でイオン注入を行う。さらに多結晶シリコン膜をエッチング除去した後、低濃度ソースおよびドレイン領域を形成するために低濃度でイオン注入を行う。



## 【特許請求の範囲】

【請求項1】 MIS 型半導体装置を製造するに当たり、半導体基体上に形成されたゲート絶縁膜の上にゲート電極パターンを形成する工程と、

このゲート電極パターンの上に絶縁膜を形成する工程と、

前記ゲート電極パターンおよび絶縁膜の上に、エッチング速度が前記絶縁膜のエッチング速度よりも高い半導体、レジスト、ガラス、樹脂などの材料より成り、膜厚がMOS 構造の寸法を規定する寸法規定膜を形成する工程と、

上記ゲート電極パターンおよび寸法規定膜をマスクとしてゲート電極パターン近傍に、少なくとも上記寸法規定膜の膜厚分の間隔を以て一導電型の不純物イオンを高濃度で打ち込む工程と、

前記寸法規定膜をエッチングする工程と、

前記ゲート電極パターンをマスクとして一導電型の不純物イオンを低濃度で打ち込む工程と、

熱処理を施して、前記ゲート電極パターンの近傍の半導体基体中に高不純物濃度領域と低不純物濃度領域を有するソースおよびドレイン領域を形成する工程とを具えることを特徴とするMIS 型半導体装置の製造方法。

【請求項2】 前記ゲート電極パターンを多結晶シリコンを以て形成し、前記絶縁膜をこの多結晶シリコンを酸化して得られるシリコン酸化膜とし、前記寸法膜として、厚さ約500 ～1500Åの多結晶シリコン膜を形成することを特徴とする請求項1記載のMIS 型半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体装置、特に電界効果型半導体装置の一つであるMIS 型半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】近年、MOS 型半導体装置が微細化されるのに伴って、ドレイン領域近傍のチャネル領域に誘起される強電界によってホットキャリアが発生されるのに伴う閾値電圧の変動等の諸特性の劣化が問題になって来ている。

【0003】こうした問題を解決するために、LDD(Lightly Doped Drain)構造が提案されている。このLDD 構造はMOS 型半導体装置のドレイン領域およびソース領域を、チャネル領域に隣接する低濃度領域と、これに隣接する高濃度領域とから構成したものである。例えばN チャネルのMOS 型半導体装置においては、チャネル領域の近傍にN 型不純物濃度が $10^{16} \sim 10^{18} \text{ cm}^{-3}$ の低濃度領域を形成し、これに隣接して $\sim 10^{19} \text{ cm}^{-3}$ の高濃度領域を形成している。このようなLDD 構造のMOS 型半導体装置においては、低濃度領域によってチャネル領域における強電界を緩和することができるので、ホットキャリアの発生

が抑止され、上述した問題を解決することができる。

【0004】上述したLDD 構造は主にホットエレクトロンの発生による悪影響が大きいN チャネルMOSSトランジスタに多く採用されている。従来のN チャネルMOS トランジスタの製造工程を図1～14を参照して説明する。この例ではP チャネルMOS トランジスタを含むCMOSトランジスタを製造するものである。

【0005】先ず、図1に示すように、P 型のシリコン基板11の表面に厚さ1500Åのシリコン酸化膜12を熱酸化法によって形成する。その後、フォトリソ工程を施して、図2に示すようにシリコン酸化膜12の上にレジストパターン13を形成する。次に、このレジストパターン13をマスクとして、 $\text{P}^+ \text{P}^+$ 等のN 型不純物をイオン注入する。次に、例えばバッファードフッ酸等のウェットエッチングによりレジストパターン13を選択的にエッチングする。

【0006】さらに、レジストパターン13とシリコン酸化膜12を除去した後、拡散熱処理を施して図3に示すようにN 型ウェル14を形成する。この熱処理中、 $\text{N}_2$ 、 $\text{O}_2$ の混合ガスの存在下で拡散を行うためシリコン基板11の表面には厚さ約2500Åのシリコン酸化膜12a が形成される。

【0007】続いて、シリコン酸化膜12a をエッチングにより除去した後、厚さ約300 Åの新しいシリコン酸化膜12b を一様に形成し、さらにその上に耐酸化膜として作用するシリコン窒化膜15を約1500Åの厚さに形成した状態を図4に示す。

【0008】次に、図5に示すようにフォトリソ工程によってレジストパターン13a を形成し、このレジストパターンをマスクとしてシリコン窒化膜15を選択的にエッチングする。その後、フィールド領域となるレジストパターン13a の開口部にレジストパターンをマスクとしてP 型の不純物をイオン注入した後、選択酸化を行ってフィールド酸化膜12c を形成し、さらにシリコン窒化膜15をエッチングした状態を図6に示す。

【0009】次に、閾値コントロールのためのイオン注入を行い、シリコン酸化膜12b をエッチングし、図7に示すように約200 Åの厚さのゲート酸化膜12d を新たに形成する。さらに、ゲート酸化膜12d の上にゲート電極を構成する多結晶シリコン膜16を約4000Åの厚さに堆積形成した後、900℃の $\text{PoCl}_3$ にてN 型不純物をドーブする。その後、フォトリソによってレジストパターン13b を形成し、このレジストパターンをマスクとして多結晶シリコン膜16を選択的にエッチングしてゲート電極を構成する部分だけを残す。

【0010】次に、レジストパターン13b を除去した後、LDD 構造を構成するためにN 型不純物をイオン注入する。このイオン注入時には、フィールド酸化膜12c および多結晶シリコン膜16がマスクとなる。その後、900℃においてアニールを施し、図8に示すように約300 Å

3

のシリコン酸化膜12e と、N チャネルトランジスタのN<sup>-</sup> ソースおよびドレイン領域17a および17b を同時に形成する。次に、P チャネルトランジスタのP<sup>+</sup> ソースおよびドレイン領域を形成するためにP 型不純物イオンを注入する。この上に膜厚が約2500 ÅのCVD-SiO<sub>2</sub>膜18を形成した後、900 °Cの温度でアニールを施し、P<sup>+</sup> ソースおよびドレイン領域19a および19b を形成する。

【0011】次に、LDD 構造を得るためにCVD-SiO<sub>2</sub>膜18を異方性エッチングしてゲート多結晶シリコン膜16の側面にサイドウォール18a を形成した状態を図9に示す。この異方性エッチングは、N<sup>-</sup> およびP<sup>+</sup> ソースおよびドレイン領域17a、17bおよび19a、19bの表面に約100 ~ 300 Åの薄い酸化膜12e が残存するように行うのが望ましい。しかしながら、プロセスマージンを考えるとある程度のオーバーエッチングを許容する必要がある、したがってウエファ内の一部でN<sup>-</sup> およびP<sup>+</sup> ソースおよびドレイン領域17a、17bおよび19a、19bの表面が露出することもしばしばあった。

【0012】次に、図10に示すようにP 型チャネルトランジスタ形成領域全体をフォトマスク工程によってレジストパターン13c によって被覆した後、N 型不純物イオンを注入する。その後、熱処理を施してN 型不純物を拡散させてN<sup>+</sup> ソースおよびドレイン領域17c および17d を形成する。

【0013】さらに、3000 ÅのCVD-SiO<sub>2</sub>膜および6000 ÅのCVD-BPSG膜より成る層間絶縁膜20を堆積形成し、続いて900 °Cに加熱してリフローさせて表面を平坦とした状態を図11に示す。

【0014】続いて図12に示すように層間絶縁膜20にコンタクトホールを形成する。その後、Al-Si-Cuより成る金属膜を1.0 μmの厚さに堆積させる。さらに、フォトマスク工程を施して金属膜を選択的にエッチングして配線パターン21を形成した状態を図13に示す。

【0015】最後に、420 °Cで合金化を行った後、パッシベーション膜22を1.0 ~ 1.5 μmの厚さに堆積形成した状態を図14に示す。

【0016】

【発明が解決しようとする課題】上述した従来の半導体装置の製造方法においては以下のような種々の欠点がある。まず、CVD-SiO<sub>2</sub>膜18を異方性エッチングしてゲート多結晶シリコン膜16の側面にサイドウォール18a を形成するとともにN<sup>-</sup> およびP<sup>+</sup> ソースおよびドレイン領域17a、17bおよび19a、19bの表面に100 ~ 300 Åの薄いシリコン酸化膜12e を残す必要があるが、この薄いシリコン酸化膜12e はウエファ全面に亘って均一になるようにするのが理想的である。このシリコン酸化膜12e を介してN<sup>+</sup> ソースおよびドレイン領域17c および17d を形成するためのイオン注入には、多くの場合<sup>75</sup>Asイオンを用いている。したがって、シリコン酸化膜12e を通してイオンを打ち込んで安定したN<sup>+</sup> ソースおよびドレイン領

4

域17c および17d を形成するためのシリコン酸化膜12e の膜厚は可能な限り均一であることが望ましい。

【0017】例えば、部分的に500 Åにも達するシリコン酸化膜が形成された場合、上記<sup>75</sup>Asイオンの注入するための加速エネルギーを高くする必要がある。また、ソースおよびドレイン領域の上にそれぞれ100 Åと500 Åの残膜があるような場合には、ソースおよびドレイン領域の不純物濃度が異なり、ひいては電気特性が不均一となる場合がある。このようなシリコン酸化膜12e の不均一性の原因としては、サイドウォールを形成する際のエッチング自体の不均一性の他、ソース、ドレイン領域上に形成されているシリコン酸化膜12e およびその上に堆積されているCVD-SiO<sub>2</sub>膜18の不均一性、ロット毎の不均一性などが考えられ、シリコン酸化膜を100 ~ 300 Åの厚さに残すことは実際上不可能に近く、しばしばオーバーエッチングが起こっているのが実情である。

【0018】また、特に0.3 μm以下のゲート長を有するトランジスタにおいては、従来の方法ではサイドウォール18a の巾の制御が困難となり、その結果としてN<sup>-</sup> ソースおよびドレイン領域17aおよび17b の巾の制御性が悪くなる。これが実効チャネル長の不均一を引起し、ひいては電気的特性の内の $g_m$ 、 $I_{os}$ などに影響を及ぼすことになる。

【0019】さらに、異方性エッチングの際のオーバーエッチングによってソースおよびドレイン領域の表面がダメージを受けたり、またP チャネルトランジスタのソースおよびドレイン領域19a および19b がエッチングされることで表面の不純物濃度が下がることになり、それらがデバイス特性に悪影響を及ぼすことがしばしばあった。

【0020】さらに、微細化と素子の性能改善を図るために最近ではゲート長はクウォータミクロンときわめて短くなってきている。したがって、従来のようにソースおよびドレイン領域をセルフアラインを利用したイオン注入後のアニールでの横方向拡散で形成する方法では正確な制御には自ずと限界があり、特にゲート長が0.3 μm以下となると実効ゲート長が不均一となり、素子特性が著しく低下する欠点がある。

【0021】本発明の目的は、上述した従来の欠点を解消し、LDD 構造を有する半導体装置の低不純物濃度領域を正確に形成することができ、特にゲート長が短くても素子特性の劣化が起らないようなLDD 構造を有する半導体装置の製造方法を提供しようとするものである。

【0022】

【課題を解決するための手段】本発明は、MIS 型半導体装置を製造するに当たり、半導体基体上に形成されたゲート絶縁膜の上にゲート電極パターンを形成する工程と、このゲート電極パターンの上に絶縁膜を形成する工程と、前記ゲート電極パターンおよび絶縁膜の上に、エ

エッチング速度が前記絶縁膜のエッチング速度よりも高い半導体、レジスト、ガラス、樹脂などの材料より成り、膜厚がMOS構造の寸法を規定する寸法規定膜を形成する工程と、上記ゲート電極パターンおよび寸法規定膜をマスクとしてゲート電極パターン近傍に、少なくとも上記寸法規定膜の膜厚分の間隔を以て一導電型の不純物イオンを高濃度で打ち込む工程と、前記寸法規定膜をエッチングする工程と、前記ゲート電極パターンをマスクとして一導電型の不純物イオンを低濃度で打ち込む工程と、熱処理を施して、前記ゲート電極パターンの近傍の半導体基体中に高不純物濃度領域と低不純物濃度領域を有するソースおよびドレイン領域を形成する工程とを具えることを特徴とするものである。

#### 【0023】

【作用】このような本発明による半導体装置の製造方法によれば、LDD構造の高濃度ソースおよびドレイン領域と、低濃度ソースおよびドレイン領域を形成するに際し、ゲート電極パターンの側面にサイドウォールを形成することなく、前記寸法規定膜の膜厚によってLDD構造の寸法を規定することができ、またこの寸法規定膜をエッチングする際にはオーバーエッチングを許容しても、イオン注入を行う際にはソースおよびドレイン領域の表面に均一の厚さの絶縁膜が形成されており、従来のオーバーエッチングを許容できないことによる種々の不具合をなくし、素子特性を均一とすることができる。また、ソースおよびドレインの高不純物濃度領域および低不純物濃度領域のプロファイルは前記寸法規定膜の膜厚によって決まるが、この膜厚は正確に制御することができるので、LDD構造を正確に形成することができる。さらに、この膜厚の制御は容易に行うことができるので、コストを下げることもできる。さらに、低不純物濃度領域は高不純物濃度領域よりも後で形成するものであるから、特に実効チャネル長を正確に形成することができるとともに一層浅い拡散が可能となり、素子特性をさらに向上することができる。

【0024】本発明の好適実施例においては、前記ゲート電極パターンを多結晶シリコンを以て形成し、前記絶縁膜をこの多結晶シリコンを酸化して得られるシリコン酸化膜とし、前記寸法規定膜として、厚さ約500～1500Åの多結晶シリコン膜を形成する。多結晶シリコン膜のエッチング速度はシリコン酸化膜のエッチング速度よりも20倍程度高いので、多結晶シリコン膜をエッチングして除去する際にオーバーエッチングがあってもシリコン酸化膜の膜厚は変化は殆ど無視することができる。

#### 【0025】

【実施例】図15～27はLDD構造を有するMIS半導体装置の一つであるCMOSトランジスタを製造する本発明の製造方法の一実施例の順次の工程における構造を示すものである。P型シリコン基板31の表面に約400Åのシリコン酸化膜32を形成した後、その上に約2000Åのシリコン窒

化膜33を形成した状態を図15に示す。続いて、シリコン窒化膜33を、フォトリソプロセスによって選択的にエッチングし、シリコン窒化膜に形成した開口を経てNウェル領域を形成するために $^{31}\text{P}^+$ イオンを注入した様子を図16に示す。さらに、残存するシリコン窒化膜33をマスクとしてシリコン酸化膜34を約3500Åの厚さに形成した後、シリコン窒化膜33を除去し、シリコン酸化膜34をマスクとしてPウェル領域を形成するための $^{11}\text{B}^+$ イオンを注入した状態を図17に示す。その後、ドライブインを行ってPウェル領域35およびNウェル領域36を形成し、さらに上記のシリコン酸化膜34をエッチングして除去し、新たに400Åのシリコン酸化膜37を形成した状態を図18に示す。

【0026】その後、シリコン酸化膜37の上に2500Åのシリコン窒化膜を形成し、素子分離のためフォトリソ工程、シリコン窒化膜のエッチング工程、フィールド反転防止用のイオン注入工程などを行って素子分離領域38を形成した後、シリコン窒化膜を除去し、新たにゲート酸化膜39を形成した状態を図19に示す。次に、ゲート電極材料である多結晶シリコン膜40を約4000Åの厚さに形成し、パターンニングした状態を図20に示す。続いて、多結晶シリコン膜40の表面を酸化してシリコン酸化膜41を形成し、さらにその上に多結晶シリコン膜42を約500Åの厚さに形成した様子を図21に示す。本発明においては、ゲート電極パターンの表面に形成した絶縁膜の上に形成する膜のエッチング速度は絶縁膜のエッチング速度よりも高いものとする必要があるが、多結晶シリコン膜42のエッチング速度は、その下側のシリコン酸化膜41のエッチング速度よりも20倍程度高いものである。

【0027】続いて、Nチャネルトランジスタをレジスト膜43でマスクした後、PチャネルトランジスタのP・ソースおよびドレインを形成するために、多結晶シリコン膜42を介して $^{11}\text{B}^+$ イオンを、500KeV、 $3\text{E}15\text{cm}^{-2}$ の条件で打ち込む状態を図22に示す。続いて、例えば異方性のドライエッチングにより多結晶シリコン膜42を選択的に除去した後、P・ソースおよびドレイン領域を形成するために、前記P・ソースおよびドレインを形成する際のイオン注入よりも低濃度で $^{11}\text{B}^+$ イオンを打ち込む様子を図23に示す。

【0028】次に、Pチャネルトランジスタ側をレジスト膜44でコートした後、上記多結晶シリコン膜42を経て、N・ソースおよびドレイン領域を形成するために、例えば $^{75}\text{As}^+$ を160KeV、 $6\text{E}15\text{cm}^{-2}$ の条件で打ち込み、次に多結晶シリコン膜42をドライエッチングによって除去した後、 $30\sim 60^\circ$ の角度で、N・ソースおよびドレイン領域を形成するための回転イオン注入を行う様子を図24に示す。続いてアニール処理を施し、先に注入したイオンをドライブインして、Pチャネルトランジスタの高濃度および低濃度のソース領域45、47および高濃度および低濃度のドレイン領域46、48を形成するとともにNチャ

ネルトランジスタの高濃度および低濃度のソース領域49、51および高濃度および低濃度のドレイン領域50、52を形成した後、例えばBPSG膜53を約8000Åの厚さに堆積形成してリフローさせた状態を図25に示す。このように、本発明においては、高濃度領域の輪郭と低濃度領域の輪郭との間の距離およびゲート長は多結晶シリコン膜42の膜厚によって規定されるが、この多結晶シリコン膜の膜厚は容易にかつ正確に制御することができるので、LDD構造を正確に形成することができる。

【0029】続いて、図26に示すようにBPSG膜53にコンタクトホール54を形成し、さらに図27に示すように配線金属として、例えばAl-Si-Cu/バリアメタルを形成してパターンニングして配線55を形成する。

【0030】図28は本発明による半導体装置の製造方法の他の実施例によって製造したCMOSを示す断面図である。本例においては、多結晶シリコンより成るゲート電極40の表面および高濃度のソースおよびドレイン領域45、46、49、50の表面に、配線抵抗またはコンタクト抵抗を低減させるために、サリサイド(salicide)プロセスによって高融点金属のシリサイド膜56を形成したものであり、他の構成は前例と同様である。このようなシリサイド膜56を形成するには、前例において図24に示す工程から図25に工程に到る段階で、レジスト膜44を除去した後ゲート電極を構成する多結晶シリコン膜40の側面にスペーサを形成した後にシリサイドを形成することによってこれらのシリサイドを分離することができる。

【0031】なお、上述した実施例では、ゲート電極40を酸化してシリコン酸化膜41を形成し、さらにその上に厚さ約500Åの多結晶シリコン膜42を形成したが、この多結晶シリコン膜の代わりにアモルファスシリコン膜、レジスト膜、スピニングガラス膜やポリイミド膜など、下側のシリコン酸化膜よりもエッチング速度の高い材料であればどのような材料を使用しても良い。また、膜厚は特に限定されるものではなく、高濃度ソースおよびドレイン領域45、46、49、50と、低濃度ソースおよびドレイン領域47、48、51、52との間の必要な間隔や注入するイオンの加速エネルギーに依存するが、デバイス特性上500～1500Åとするのが適当である。さらに、上述した実施例ではCMOSトランジスタを製造するものであるが、他のMIS型半導体装置を製造することも勿論可能である。

#### 【0032】

【発明の効果】本発明によるMIS型半導体装置の製造方法によれば、チャネル領域における電界集中による種々の悪影響を緩和することができる。しかも、LDD構造のソースおよびドレイン領域を規定するサイドウォールの代わりに膜厚の制御性が優れている多結晶シリコン膜やアモルファスシリコン膜を利用するのでLDD構造のソースおよびドレイン領域を正確に形成することができる。

【0033】さらに、LDD構造を形成するために用いて

いる、例えば多結晶シリコン膜のエッチング速度は、その下側にあるシリコン酸化膜のエッチング速度よりもほぼ20倍も高いので、多結晶シリコン膜のエッチング時に、P型およびN型のソースおよびドレイン領域の表面に所望の厚さの薄いシリコン酸化膜を均一に残すことができ、したがって、十分なオーバーエッチングが可能となり、プロセス制御が容易となる。さらに、ソースおよびドレイン領域の表面にシリコン酸化膜を正確に残すことができるので、P型トランジスタのP<sup>+</sup>表面濃度の低下を防ぐことができ、シリコン基板のダメージを考慮することなくオーバーエッチングが可能となり、特にメモリデバイスにおいては、待機時のリーク電流(stanby leak current)などを減少させることができる。

【0034】従来の製造方法においては、CVD-SiO<sub>2</sub>膜を異方性エッチングしてゲート電極を構成する多結晶シリコン膜の側面にサイドウォールを形成するようにしているが、エッチングの不均一などの原因でサイドウォールの巾が不均一となり、したがってLDD構造を正確に形成できず、そのためオン抵抗、g<sub>m</sub>などの素子特性が不均一となりがちであったが、本発明によれば、LDD構造は例えば多結晶シリコン膜の膜厚によって決まるが、多結晶シリコン膜をCVD堆積技術で形成する際の膜厚は容易かつ正確に制御することができるので、素子特性を均一とすることができる。

【0035】さらに、本発明の方法によれば、ゲート電極を形成した後の工程を従来の方法と比較すると、2工程少ないという効果がある。すなわち、本発明においては、ソースおよびドレインの高濃度領域と低濃度領域とを同じレジスト膜をマスクとして形成することができ、そのため大幅なコストダウンが可能となる。

【0036】さらに、従来の方法では、P<sup>-</sup>またはN<sup>-</sup>ソースおよびドレイン領域を形成した後に、P<sup>+</sup>またはN<sup>+</sup>ソースおよびドレイン領域を形成しているために、特にP<sup>+</sup>またはN<sup>+</sup>領域の形成時にP<sup>-</sup>またはN<sup>-</sup>領域、特にP<sup>-</sup>領域の横方向拡散が進行し、0.3～0.2μmといったきわめて短いゲート長を有するトランジスタでは特性不良を招く欠点があったが、本発明ではトランジスタの特性を決めるP<sup>-</sup>またはN<sup>-</sup>ソースおよびドレイン領域を後から形成するため、0.3～0.2μmあるいは0.15μmのゲート長を有するトランジスタを製造する場合でも特性変化を十分抑止することができ、狙った通りの特性を有する半導体装置を製造することができ、しかも製造コストを低減することができる。このように、本発明の製造方法によれば、半導体装置の特性向上に不可欠ではないゲート長の微細化を、パターン化が可能などところまでは実効ゲート長を正確に制御することができる。

【図面の簡単な説明】

【図1】図1は従来の製造方法の一工程における状態を示す断面図である。

【図2】図2は従来の製造方法の一工程における状態を示す断面図である。

【図3】図3は従来の製造方法の一工程における状態を示す断面図である。

【図4】図4は従来の製造方法の一工程における状態を示す断面図である。

【図5】図5は従来の製造方法の一工程における状態を示す断面図である。

【図6】図6は従来の製造方法の一工程における状態を示す断面図である。

【図7】図7は従来の製造方法の一工程における状態を示す断面図である。

【図8】図8は従来の製造方法の一工程における状態を示す断面図である。

【図9】図9は従来の製造方法の一工程における状態を示す断面図である。

【図10】図10は従来の製造方法の一工程における状態を示す断面図である。

【図11】図11は従来の製造方法の一工程における状態を示す断面図である。

【図12】図12は従来の製造方法の一工程における状態を示す断面図である。

【図13】図13は従来の製造方法の一工程における状態を示す断面図である。

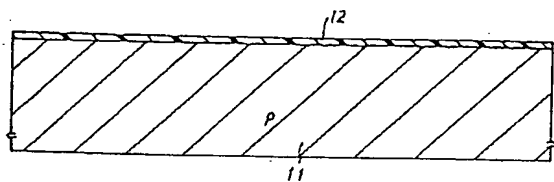
【図14】図14は従来の製造方法の一工程における状態を示す断面図である。

【図15】図15は本発明による製造方法の一工程における状態を示す断面図である。

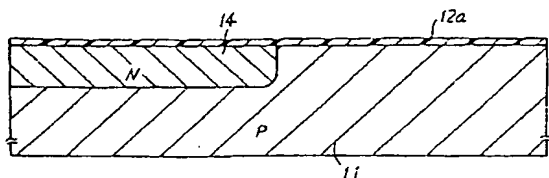
【図16】図16は本発明による製造方法の一工程における状態を示す断面図である。

【図17】図17は本発明による製造方法の一工程における状態を示す断面図である。

【図1】



【図3】



【図18】図18は本発明による製造方法の一工程における状態を示す断面図である。

【図19】図19は本発明による製造方法の一工程における状態を示す断面図である。

【図20】図20は本発明による製造方法の一工程における状態を示す断面図である。

【図21】図21は本発明による製造方法の一工程における状態を示す断面図である。

【図22】図22は本発明による製造方法の一工程における状態を示す断面図である。

【図23】図23は本発明による製造方法の一工程における状態を示す断面図である。

【図24】図24は本発明による製造方法の一工程における状態を示す断面図である。

【図25】図25は本発明による製造方法の一工程における状態を示す断面図である。

【図26】図26は本発明による製造方法の一工程における状態を示す断面図である。

【図27】図27は本発明による製造方法の一工程における状態を示す断面図である。

【図28】図28は本発明による半導体装置の製造方法の他の実施例で製造した半導体装置を示す断面図である。

【符号の説明】

31 シリコン基板

39 ゲート酸化膜

40 ゲート電極用多結晶シリコン膜

41 シリコン酸化膜

42 多結晶シリコン膜

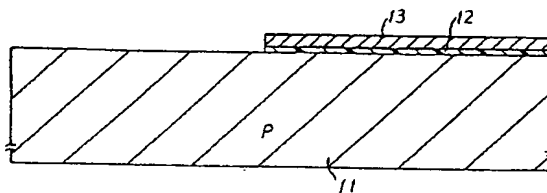
45, 49 高濃度ソース領域

46, 50 高濃度ドレイン領域

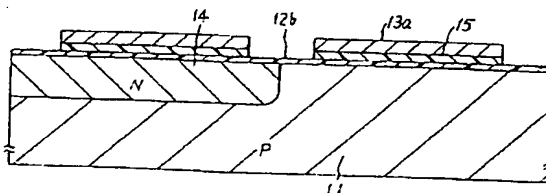
47, 51 低濃度ソース領域

48, 52 低濃度ドレイン領域

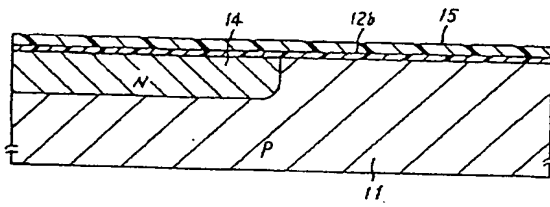
【図2】



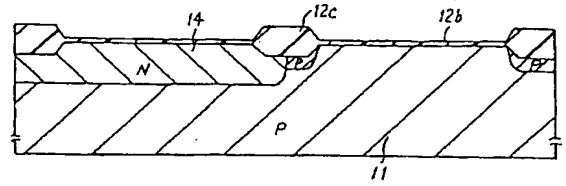
【図5】



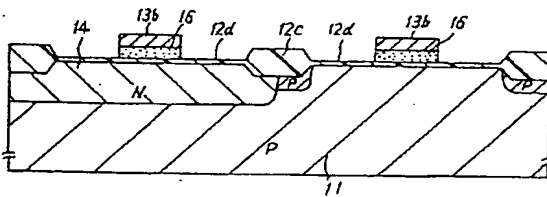
【図4】



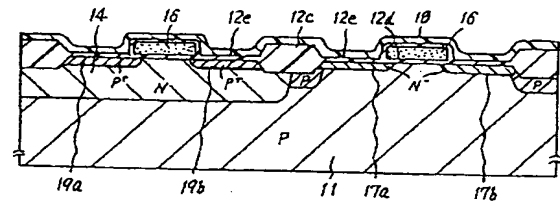
【図6】



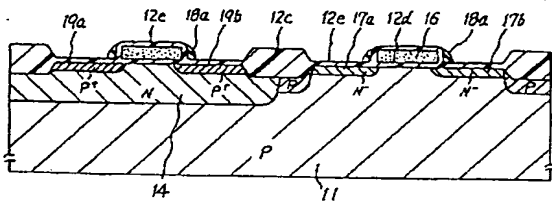
【図7】



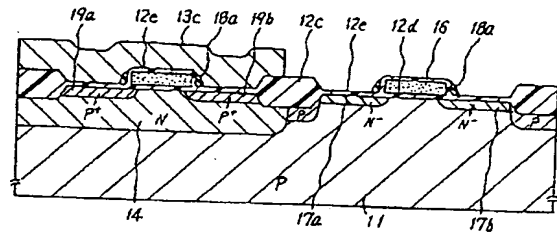
【図8】



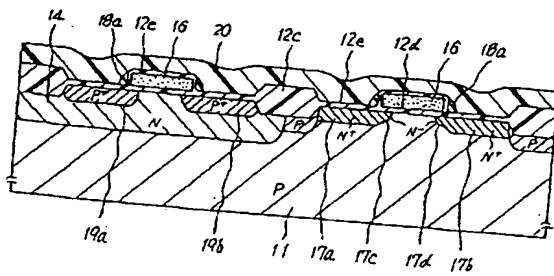
【図9】



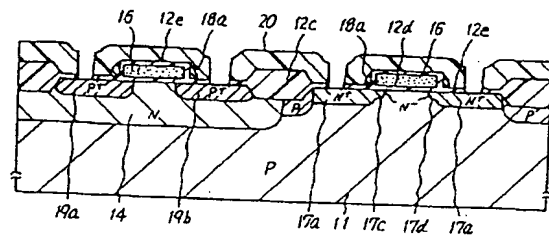
【図10】



【図11】

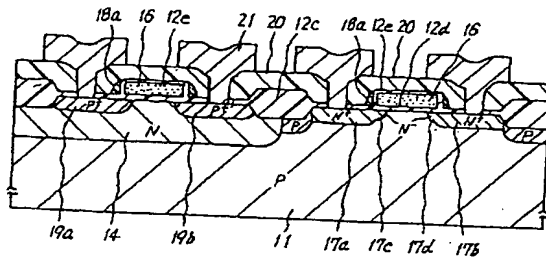


【図12】

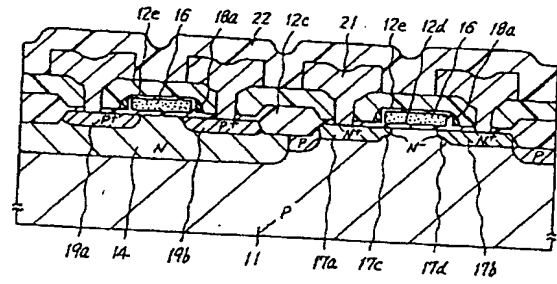




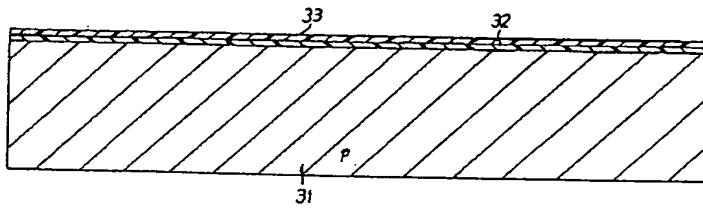
【図13】



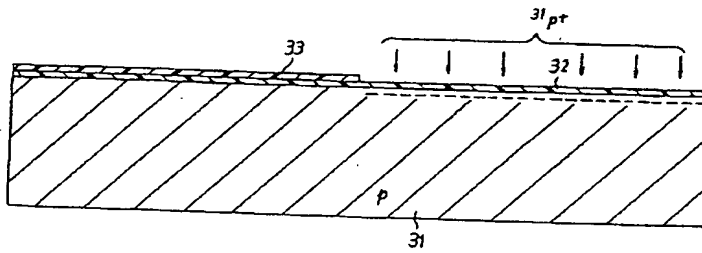
【図14】



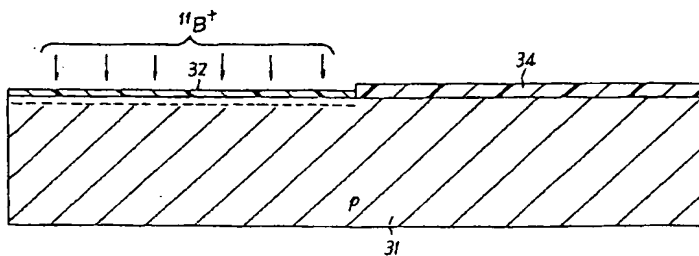
【図15】



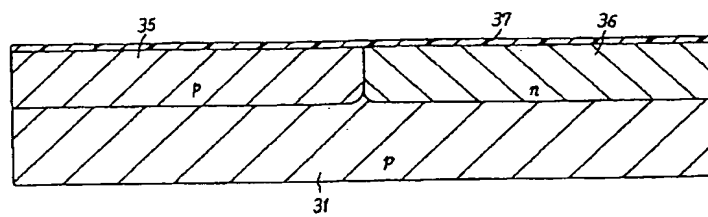
【図16】



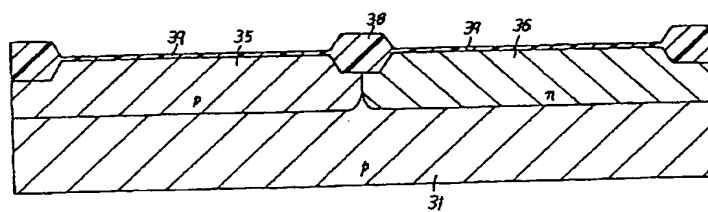
【図17】



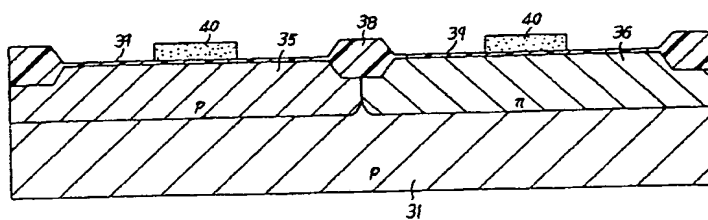
【図 18】



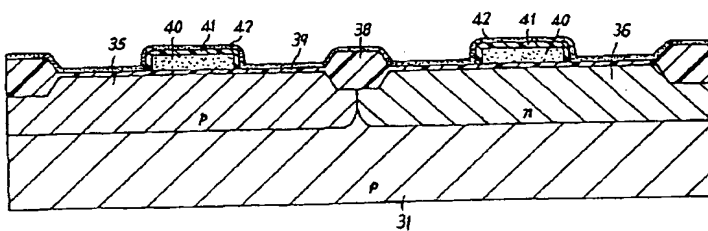
【図 19】



【図 20】

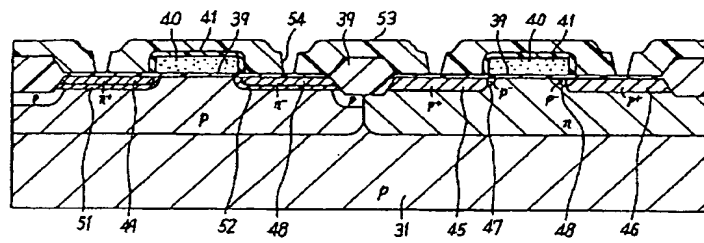


【図 21】

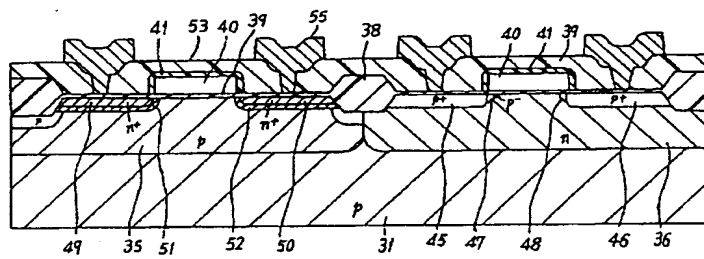




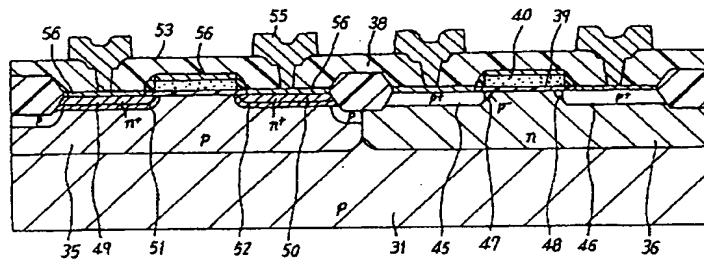
【図 2 6】



【図 2 7】



【図 2 8】



フロントページの続き

(51) Int. Cl.<sup>5</sup>

H 0 1 L 27/092

識別記号

庁内整理番号

F I

技術表示箇所

7342-4M

H 0 1 L 27/08

3 2 1 C